



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2003171200 A**(43) Date of publication of application: **17.06.03**

(51) Int. Cl.

C30B 29/38**H01L 21/205****H01L 33/00**(21) Application number: **2001368049**(22) Date of filing: **03.12.01**(71) Applicant: **CANON INC**(72) Inventor: **EZAKI MIGAKU
OKUDA MASAHIRO****(54) CRYSTAL GROWTH METHOD FOR COMPOUND SEMICONDUCTOR AND COMPOUND SEMICONDUCTOR DEVICE**

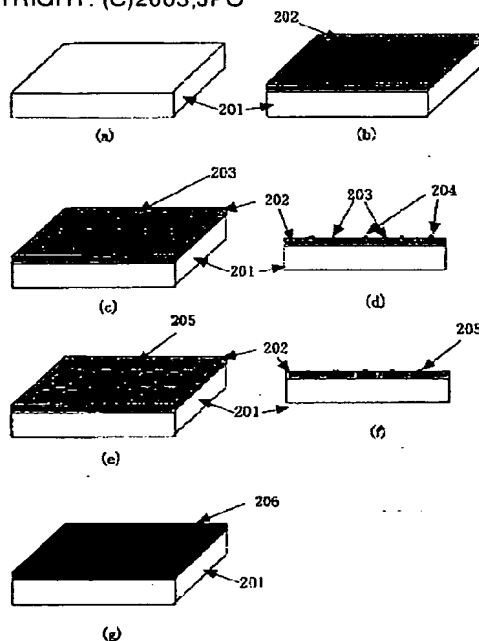
(57) Abstract:

PROBLEM TO BE SOLVED: To provide a method for growing a crystal, by which a good quality compound semiconductor crystal thin film can be formed even when a substrate which has not been hitherto used because of its lattice mismatch or the difference in the coefficients of thermal expansion is used, and to provide a compound semiconductor device utilizing the method.

SOLUTION: In the crystal growth method for the compound semiconductor, a compound semiconductor 206 constituted of an element contained in an amorphous film 202 and an element contained in a raw material 204 supplied is grown on a first substrate 201 by preparing a second substrate by forming the amorphous film 202 containing at least one element constituting the compound semiconductor 206 on the first substrate 201, then preparing a third substrate by arranging areas 203 where the probability of nucleation of the compound semiconductor crystal is high on the amorphous film 202 on the surface of the second substrate, and supplying

the raw material 204 containing an element which is not contained in the amorphous film 202 and constituting the compound semiconductor 206 onto the third substrate.

COPYRIGHT: (C)2003,JPO



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2003-171200

(P2003-171200A)

(43)公開日 平成15年6月17日(2003.6.17)

(51)Int.Cl.⁷

識別記号

F I

テマコード*(参考)

C 3 0 B 29/38

C 3 0 B 29/38

C 4 G 0 7 7

H 0 1 L 21/205

H 0 1 L 21/205

5 F 0 4 1

33/00

33/00

C 5 F 0 4 5

審査請求 未請求 請求項の数16 O L (全 9 頁)

(21)出願番号 特願2001-368049(P2001-368049)

(22)出願日 平成13年12月3日(2001.12.3)

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 江崎 琢

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(72)発明者 奥田 昌宏

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(74)代理人 100086483

弁理士 加藤 一男

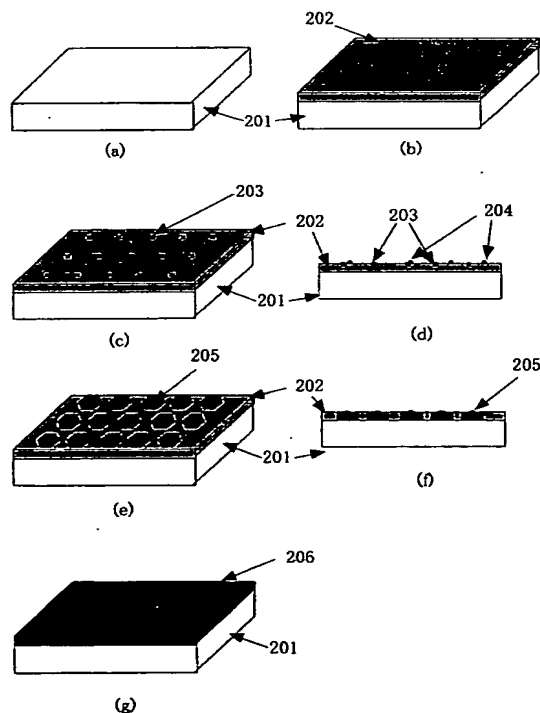
最終頁に続く

(54)【発明の名称】 化合物半導体の結晶成長法、及び化合物半導体装置

(57)【要約】

【課題】従来は格子不整や熱膨張係数差により使用できなかった基板を用いても、良質な化合物半導体結晶薄膜を形成できる結晶成長法、及びそれを利用した化合物半導体装置である。

【解決手段】化合物半導体の結晶成長法において、第1の基板201上に化合物半導体206を構成する元素を1つ以上含む非晶質膜202を形成して第2の基板を作成し、第2の基板表面の非晶質膜202上に化合物半導体結晶の核発生確率の高い領域203を配置して第3の基板を作成し、非晶質膜202に含まれなくて且つ化合物半導体206を構成する元素を含む原料204を第3の基板上に供給し、非晶質膜202内に含まれる元素と該供給する原料204に含まれる元素とで構成される化合物半導体206を第1の基板201上に成長する。



【特許請求の範囲】

【請求項 1】化合物半導体の結晶成長法であって、第1の基板上に該化合物半導体を構成する元素を1つ以上含む非晶質膜を形成して第2の基板を作成する工程と、該第2の基板表面の該非晶質膜上に該化合物半導体結晶の核発生確率の高い領域を配置して第3の基板を作成する工程と、該非晶質膜に含まれなくて且つ該化合物半導体を構成する元素を含む原料を該第3の基板上に供給し、該非晶質膜内に含まれる元素と該供給する原料に含まれる元素とで構成される該化合物半導体を第1の基板上に成長する工程とを有することを特徴とする化合物半導体の結晶成長法。

【請求項 2】窒化アルミニウム(AIN)の結晶成長法であって、第1の基板上に、厚さ100nm以下の窒化シリコン非晶質膜を形成して第2の基板を作成する工程と、該第2の基板表面の該窒化シリコン非晶質膜上にAIN結晶の核発生確率の高い領域を配置して第3の基板を作成する工程と、該第3の基板上にAlを含む原料を供給してAINを第1の基板上に成長させる工程とを有することを特徴とするAINの結晶成長法。

【請求項 3】請求項 2 に記載のAINの結晶成長法において、前記第1の基板がシリコン基板であることを特徴とするAINの結晶成長法。

【請求項 4】請求項 3 に記載のAINの結晶成長法において、前記窒化シリコン非晶質膜を形成する工程が、 1×10^{-3} [Torr]以下の真空チャンバー内で活性窒素を照射する工程であることを特徴とするAINの結晶成長法。

【請求項 5】請求項 3 に記載のAINの結晶成長法において、前記窒化シリコン非晶質膜を形成する工程が、アンモニア(NH₃)雰囲気下でシリコン基板を加熱する工程であることを特徴とするAINの結晶成長法。

【請求項 6】請求項 3 に記載のAINの結晶成長法において、前記窒化シリコン非晶質膜を形成する工程が、加熱した基板上に窒素を含む有機原料を供給する工程であることを特徴とするAINの結晶成長法。

【請求項 7】請求項 2 に記載のAINの結晶成長法において、前記第1の基板が、シリコンカーバイド(SiC)基板、またはサファイア(Al₂O₃)基板であることを特徴とするAINの結晶成長法。

【請求項 8】請求項 2 に記載のAINの結晶成長法において、前記第1の基板が、ガラス、または表面をSiO₂膜で覆われたシリコン基板であることを特徴とするAINの結晶成長法。

【請求項 9】請求項 2 から請求項 8 のいずれか一つに記載のAINの結晶成長法において、前記窒化シリコン非晶質膜上にAIN結晶の核発生確率の高い領域を配置して第3の基板を作成する工程が、該窒化シリコン非晶質膜上にFIBによりAlを堆積し、さらに700℃以上で熱処理を行う工程であることを特徴とするAINの結晶成長法。

【請求項 10】請求項 2 から請求項 8 のいずれか一つに

記載のAINの結晶成長法において、前記窒化シリコン非晶質膜上にAIN結晶の核発生確率の高い領域を配置して第3の基板を作成する工程が、該窒化シリコン非晶質膜上に金属を蒸着し、さらに熱処理を行う工程であることを特徴とするAINの結晶成長法。

【請求項 11】請求項 2 から請求項 8 のいずれか一つに記載のAINの結晶成長法において、前記窒化シリコン非晶質膜上にAIN結晶の核発生確率の高い領域を配置して第3の基板を作成する工程が、該窒化シリコン非晶質膜に周期的なパターンを作成する工程であることを特徴とするAINの結晶成長法。

【請求項 12】請求項 2 から請求項 11 のいずれか一つに記載のAINの結晶成長法において、前記第4の基板上にAlを含む原料を供給してAINを第1の基板上に成長させる工程が、 1×10^{-3} [Torr]以下の真空チャンバー内で、700℃以上に加熱した第4の基板上にAlビームを照射する工程であることを特徴とするAINの結晶成長法。

【請求項 13】請求項 2 から請求項 11 のいずれか一つに記載のAINの結晶成長法において、前記第4の基板上にAlを含む原料を供給してAINを第1の基板上に成長させる工程が、700℃以上に加熱した第4の基板上に、Alを含む有機金属原料を供給する工程であることを特徴とするAINの結晶成長法。

【請求項 14】第1の基板上に積層された複数の窒化物半導体エピタキシャル成長層からなる化合物半導体装置であり、該第1の基板の直上に、請求項 2 から請求項 13 のいずれか一つに記載の結晶成長法によって成長された厚さ100nm以下のAIN層を備えていることを特徴とする化合物半導体装置。

【請求項 15】ガラス基板上に複数の窒化物半導体を積層して成る化合物半導体装置であり、該ガラス基板の直上に、請求項 8 に記載の結晶成長法によって、100μm径以下の大きさの結晶で構成される厚さ50nm以下のAIN膜が、100nm以下の厚さで積層されていることを特徴とする化合物半導体装置。

【請求項 16】請求項 15 に記載の化合物半導体装置において、前記ガラス基板直上のAIN膜を構成するAIN結晶の上部に発光デバイスが作成されていることを特徴とする化合物半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、化合物半導体結晶薄膜の形成法に関し、特に使用できる基板と結晶との格子不整や熱膨張係数差が大きいため良質な結晶が得られなかった化合物半導体結晶薄膜の形成法、及びそれを利用して作製される化合物半導体装置に関する。本発明は、例えば、紫外から赤外に至る領域の半導体発光素子等に利用される化合物半導体結晶薄膜の形成に適用される。

【0002】

【従来の技術】従来、半導体電子素子や発光、受光素子等に用いられる化合物半導体単結晶薄膜は、単結晶基板上にエピタキシャル成長させることで形成されてきた。高性能な化合物半導体素子を実現するためには、高品質な単結晶薄膜を形成することは重要な技術であり、これまで、さまざまな結晶成長技術が開発されてきた。例えば、MBE(Molecular Beam Epitaxy)法や、MOCVD(Metal-Organic Chemical Vapor Deposition)法等が挙げられる。これらの成長技術の発展により、GaAsを基板として、GaAs、AlAs及びその混晶からなる高速電子素子や発光ダイオード、半導体レーザーが実用化され、InPを基板として、InGaAsP 4元結晶からなる半導体レーザー等が実用化されている。

【0003】しかしながら、成長技術は進展しているにもかかわらず、まだ残されている問題点も多い。その代表的な一つが、結晶成長をさせる基板の問題である。化合物半導体の結晶成長では、単結晶基板そのものの品質や、基板と成長する結晶との格子不整と熱膨張係数の差が問題となる。すなわち、用いる基板に欠陥が存在すると、成長する化合物半導体結晶にも基板の欠陥を受けついで欠陥が導入されたり、成長する化合物半導体結晶の格子定数と熱膨張係数が、基板のそれらと違いがあると、結晶の成長中や成長後に応力がかかり、成長層に欠陥が導入されてしまう。そのため、良質な結晶を得るためには、良質な単結晶基板を用い、なおかつ、基板と格子整合が取れる結晶を成長するか、あるいは、格子不整がある場合は、欠陥導入には至らない膜厚に精密に制御して成長するなどの手法が取られる。

【0004】このように、化合物半導体結晶薄膜形成においては、良質な基板が必要不可欠であって、また、成長する化合物半導体はその基板により制限を受けてしまう。更に、コストの点からみても、化合物半導体結晶成長の基板として主に用いられる、GaAsやInP等は、例えば、多くの電子デバイスに应用されているSi基板に比べると、非常に高価であり問題がある。

【0005】近年、青～紫外発光素子用として、サファイア基板に形成した窒化物半導体を用いられていて、格子不整が大きい材料を用いて発光素子等を作製することも行われている。しかしながら、依然としてこれらの半導体層には格子不整による欠陥が多く存在し、発光効率の向上等、より高性能な素子の実現を目指すためには、より高品質の結晶薄膜を形成する技術が必要とされる。最近では横方向成長を利用して結晶薄膜に欠陥の無い部分を作る方法なども検討されているが、この方法では基板全面が利用できないという欠点がある。さらには、現在主に用いられているサファイア基板は、Si基板に比べれば非常に高価であり、この点も問題を残している。

【0006】

【発明が解決しようとする課題】本発明の目的は、従来は格子不整や熱膨張係数差によって使用できなかった基

板を用いても、良質な化合物半導体結晶薄膜を形成できるような結晶成長法、及びそれを利用して作製される化合物半導体装置を提供することである。特に、これまで、格子不整により良質な物が得られなかったAIN等の窒化物半導体の良質な薄膜を形成することを目的とする。さらには、安価なSi基板を用いても良質な単結晶窒化物半導体薄膜を形成することを目的とする。さらには、より安価で、大面積発光デバイスに应用の可能性のあるガラス基板へ良質な窒化物半導体薄膜を形成することを目的とする。

【0007】

【課題を解決するための手段】上記目的を達成する本発明の化合物半導体の結晶成長法は、一般的には、第1の基板上に該化合物半導体を構成する元素を1つ以上含む非晶質膜を形成して第2の基板を作成する工程と、該第2の基板表面の該非晶質膜上に該化合物半導体結晶の核発生確率の高い領域を配置して第3の基板を作成する工程と、該非晶質膜に含まれなくて且つ該化合物半導体を構成する元素を含む原料を該第3の基板上に供給し、該非晶質膜内に含まれる元素と該供給する原料に含まれる元素とで構成される該化合物半導体を第1の基板上に成長する工程とを有することを特徴とする。そして、典型例で言えば、窒化アルミニウム(AIN)の結晶成長法であって、第1の基板上に、厚さ100nm以下の窒化シリコン非晶質膜を形成して第2の基板を作成する工程と、該第2の基板表面の該窒化シリコン非晶質膜上にAIN結晶の核発生確率の高い領域を配置して第3の基板を作成する工程と、該第3の基板上にAlを含む原料を供給してAINを第1の基板上に成長させる工程とを有することを特徴とする。

【0008】上記AINの結晶成長法においては、以下の様なより具体的な態様が可能である。前記第1の基板はシリコン単結晶基板などのシリコン基板であり得る。この場合、前記窒化シリコン非晶質膜を形成する工程が、 1×10^{-3} [Torr]以下の真空チャンバー内で活性窒素を照射する工程であり得る。通常のチャンバーでは、活性窒素源から基板までの距離が100mm程度以上になることから、活性窒素源からの窒素ビームが散乱されずに基板に到達できる為に、圧力を 1×10^{-3} [Torr]以下に設定する必要がある。また、前記窒化シリコン非晶質膜を形成する工程が、アンモニア(NH₃)雰囲気下でシリコン基板を加熱する工程や、加熱した基板上に窒素を含む有機原料を供給する工程でもあり得る。

【0009】また、前記第1の基板は、シリコンカーバイド(SiC)基板、またはサファイア(Al₂O₃)基板であり得る。更には、前記第1の基板が、ガラス、または表面をSiO₂膜で覆われたシリコン基板でもあり得る。

【0010】前記窒化シリコン非晶質膜上にAIN結晶の核発生確率の高い領域を配置して第3の基板を作成する工程は、該窒化シリコン非晶質膜上にFIBによりAlを堆

積し、さらに700℃以上で熱処理を行う工程であり得る。AIN結晶の核発生確率の高い領域を配置する工程は、この例以外にも色々な方法がある。例えば、窒化シリコン膜上にAu、Ag、Cu、Pt、Pd等の金属を数原子層だけ蒸着し、さらに加熱処理して凝集させ、微小な金属の塊を窒化シリコン上に配置する方法がある。この微小な金属塊は、加熱処理時の加熱温度と加熱時間を制御することで、或る一定の間隔で配置することが出来る。このように、微小な金属の塊を一定間隔、例えば2μmで配置した窒化シリコン膜上にAl原料を供給し、加熱すると、窒化シリコン膜上にマイグレーションするAl原料は金属の塊の部分でのマイグレーション速度が落ち、AIN結晶化しやすくなる。つまり、微小な金属の塊が配置された部分が核形成確率が高い部分となる。その他の方法では、窒化シリコン膜をパターンニングして、凹部を作成することでも、AIN核の発生確率を高くする部分を配置することが出来る。金属と接触したときの界面エネルギーが、基板と金属の界面エネルギーよりも小さな物質を選択にパターンニングして、核発生確率の高い領域を作製するのである。

【0011】また、前記第4の基板の上にAlを含む原料を供給してAINを第1の基板の上に成長させる工程は、 1×10^{-3} [Torr]以下の真空チャンパー内で、700℃以上に加熱した第4の基板の上にAlビームを照射する工程であり得る。この圧力条件は、分子ビームが散乱されずに基板に到達する条件で決定される。この温度条件は、基板に到達したAlが基板表面上で十分マイグレーションして、均一なAINが形成される為の条件である。Alを含む原料を供給してAINを第1の基板の上に成長させる工程は、700℃以上に加熱した第4の基板の上に、Alを含む有機金属原料を供給する工程でもあり得る。

【0012】更に、上記目的を達成する本発明の化合物半導体装置は、第1の基板の上に積層された複数の窒化物半導体エピタキシャル成長層からなる化合物半導体装置であり、該第1の基板の直上に、上記の結晶成長法によって成長された厚さ100nm以下のAIN層を備えていることを特徴とする。

【0013】更には、上記目的を達成する本発明の化合物半導体装置は、ガラス基板上に複数の窒化物半導体を積層して成る化合物半導体装置であり、該ガラス基板の直上に、上記の結晶成長法によって、100μm径以下の大きさの結晶で構成される厚さ50nm以下のAIN膜が、100nm以下の厚さで積層されていることを特徴とする。この場合、後記の第5の実施例で説明する様に、前記ガラス基板直上のAIN膜を構成するAIN結晶の上部に発光デバイスを作成し得る。

【0014】

【作用】上記した本発明は、以下のような作用・原理で化合物半導体結晶薄膜の形成を行う。単結晶Si基板上にAIN結晶を形成する典型的な場合を例として記す。な

10

20

30

40

50

お、SiとAINは格子不整が約19%存在し、Si上に高品質なAIN薄膜を形成するのは困難とされてきた。

【0015】まず、単結晶Si基板に、形成する化合物半導体AINの構成元素を含む非晶質膜である窒化シリコン膜を100nm以下の厚さで形成する。次いで、その窒化シリコン膜上に、AIN結晶の核発生確率が大きく、且つ1μm程度以下の微少な領域を10μm以下の間隔で配置する。例えば、FIBにより、Alを100nm²程度の領域で、2μm間隔で、窒化シリコン上に堆積し、700℃程度以上の温度で熱処理する。700℃程度以上の温度で、窒化シリコン上にAlを供給すると、AINが生成されることは一般に知られている(Applied Physics Letters 75, 484(1999)参照)。そのため、Alを窒化シリコン膜上に堆積し、かつ熱処理することで、窒化シリコン膜上にAINの微小な領域を配置できる。

【0016】次いで、基板温度を700℃以上にして、Alを基板上に供給し、AINの結晶成長を行う。基板上に到達したAlは基板上でマイグレーションし、基板に2μm間隔で配置されたAINの部分でAIN結晶の核が発生する。つまり、Alを堆積、加熱してAINを生成させた上記部分が核発生確率の高い部分となるわけである。さらに、結晶成長においては、Si基板上に形成した窒化シリコン膜は非常に薄い(上記の如く100nm以下であり、ここで述べる成長過程が進むように、この様な厚さが要求される)、AINの形成が始まると窒化シリコンは分解されていき、その部分はさらに薄くなる。そのため、形成されるAIN結晶は、下地の単結晶Siの結晶方位に従って、特定の結晶方位をもって成長が進む。さらには、AIN結晶の成長は、一方の原料であるNはSi基板上に堆積された窒化シリコン、つまりAIN結晶の横方向から供給されるため、AIN結晶は最初の核が発生した箇所を中心にSi基板表面に対して平行な方向に進む。この様な結晶成長が、隣りのAIN部から発生した核から成長した結晶と衝突するまで続き、やがてAIN結晶で基板全面が覆われる。

【0017】以上の様に横方向成長により化合物半導体を成長させるため、下地のSi基板との格子不整による応力を受け難く、直接、格子不整の大きい基板に結晶成長させた結晶よりも、欠陥の少ない結晶が得られる。以上の工程で得られた100nm以下の薄いAIN膜をバッファ層として、その上にGaNを堆積すると、非常に高品質な膜が得られる。

【0018】以上の作用・原理は、上記の例以外でも本質的に同じである。例えば、基板には、Siだけではなく、単結晶半導体基板ならばどの様なものでも用いることが出来る。さらには、ガラスなどの非晶質基板を用いても、全面単結晶ではないが、大きなグレインで構成される良質な多結晶膜を形成できる。数値的に言えば、ガラス基板の直上に、上記の結晶成長法によって、100μm径以下の大きさの結晶で構成される厚さ50nm以下のAIN

膜（グレイン）が、100nm以下の厚さで積層されて良質な多結晶膜を形成できる。上記作用・原理が成り立つ範囲を更に一般的に言えば、第1の基板上に化合物半導体を構成する元素を1つ以上含む非晶質膜を形成して第2の基板を作成する工程と、第2の基板表面の非晶質膜上に化合物半導体結晶の核発生確率の高い領域を配置して第3の基板を作成する工程と、非晶質膜に含まれなくて且つ化合物半導体を構成する元素を含む原料を第3の基板上に供給し、非晶質膜内に含まれる元素と該供給する原料に含まれる元素とで構成される化合物半導体を第1の基板上に成長する工程とを有する化合物半導体の結晶成長法であるということになる。

【0019】

【発明の実施の形態】以下に、具体的な実施例でもって本発明の実施の形態を図面に沿って説明する。

（第1の実施例）本発明の第1の実施例を図2を用いて説明する。まず、2インチのSi(111)基板201を、アセトン、アルコールで洗浄後、5%HF溶液で10秒、40% NH_4F 溶液で4分処理した。こうして、基板201の表面の酸化膜を除去し、及びそのSiのダングリングボンドを水素によって終端してH終端し、この基板201をMBE装置にセットした(図2(a))。

【0020】この後、準備室で400℃、2時間の熱処理を行い、その後成長室に搬入した。成長前に、Si基板を 1×10^{-9} [Torr]以下で900℃で20分間熱処理した。その後、基板温度を800℃に降下させ、RHEEDによって、清浄な原子面である(7x7)のパターンを確認した。

【0021】その後、RF(Radio Frequency)プラズマセルを用いて活性窒素ラジカルを生成し、セルのシャッタは閉じたままで、5分間放置した。プラズマセルに流す窒素の流量は1.5sccm、RFパワーは300ワットとした。この工程で窒化シリコン202を50nm堆積できた(図2(b))。

【0022】RFプラズマセルで活性窒素を生成した場合、セルのシャッタを閉じていても、微量の活性窒素が基板201に到達し、基板201と反応して窒化シリコン202を生成する。窒化シリコンが形成されていることはRHEEDパターンにより確認した。

【0023】その後、窒化シリコン膜202が堆積した基板201をFIB装置にセットし、Alを100nm角の広さで、2μmの間隔で、窒化シリコン202を完全には貫通しないようにして堆積した。

【0024】その後、基板201を再びMBE装置にセットし、準備室で400℃、3時間の熱処理の後、成長室に搬入した。

【0025】その後、 1×10^{-9} [Torr]以下の圧力で、800℃、30分間熱処理した。この処理でFIBにより堆積したAlが窒化シリコン膜202と反応し AlN_2O_3 となり、さらに微小AlN203となった(図2(c))。

【0026】その後、 5×10^{-7} [Torr]のフラックス量に設定したAlクヌードセンセルのシャッタを開き、10分間

Al204を照射した。この工程中にRHEEDパターンは窒化シリコンのパターンから、AlN205のパターンに変化して行くことが確認された。この工程が終了した基板をSEMで断面および表面を観察したところ、基板は全てAlN206で覆われていることが分かった(図2(d)～(g))。ここで、図2(f)は図2(e)の断面図である。

【0027】さらに、この工程の前の段階までの基板を数枚用意し、Alの照射時間を、30秒、1分で終了して取り出して表面をSEMで観察したところ、AlNの結晶が、あらかじめFIBにより作製したAlNを中心に、AlN結晶の方位を示す六角形状で横方向に成長している様子が観察された(図2(e)参照)。

【0028】この基板に、続けて、GaクヌードセンセルからGaとRFプラズマによる活性窒素を同時に供給し、0.5μmのGaNを成長したところ、GaNの成長初期からRHEEDパターンはストリークパターンを示した。また、作製された膜の欠陥密度を測ったところ、 1×10^{-4} [1/cm²]以下と、非常に低欠陥密度であった。これが図1に示されている。図1において、101は基板であり、102は100nm以下の厚さのAlN層であり、103は窒化物半導体からなる半導体デバイス層である。

【0029】（第2の実施例）本発明の第2の実施例を図3を用いて説明する。まず、2インチのSi(111)基板301を、アセトン、アルコールで洗浄後、5%HF溶液で10秒、40% NH_4F 溶液で4分処理して、表面の酸化膜を除去、及びH終端し、MBE装置にセットした(図3(a))。

【0030】この後、準備室で400℃、2時間の熱処理を行い、その後成長室に搬入した。成長前に、Si基板301を 1×10^{-9} [Torr]以下で900℃で20分間熱処理した。その後、基板温度を800℃に降下させ、RHEEDによって、清浄な原子面である(7x7)のパターンを確認した。

【0031】その後、RFプラズマセルを用いて活性窒素ラジカルを生成し、セルのシャッタは閉じたままで、5分間放置した。プラズマセルに流す窒素の流量は1.5sccm、RFパワーは300ワットとした。この工程で窒化シリコン302を50nm堆積できた(図3(b))。RFプラズマセルで活性窒素を生成した場合、セルのシャッタを閉じていても、微量の活性窒素が基板301に到達し、基板301と反応して窒化シリコン302を生成する。窒化シリコン302が形成されていることはRHEEDパターンにより確認した。

【0032】その後、窒化シリコン膜302が堆積した基板301に、400℃で、同じチャンパー内で、Au303を3原子層程度蒸着した(図3(c))。

【0033】その後、 1×10^{-9} [Torr]以下の圧力で、600℃、20分間熱処理した。この処理で、蒸着したAu303が凝集を起こし、2～3μm間隔で数100nm径の金属塊304となった(図3(d))。

【0034】その後、基板温度を速やかに800℃に上げ、 5×10^{-7} [Torr]のフラックス量に設定したAlクヌードセンセルのシャッタを開き、10分間Alを照射した。こ

の工程中にRHEEDパターンは窒化シリコンのパターンから、AIN305、306のパターンに変化して行くことが確認された。この工程が終了した基板301の断面および表面をSEMで観察したところ、基板は全てAIN306で覆われていることが分かった(図3(e)～(g))。ここで、図3(f)は図3(e)の断面図である。

【0035】さらに、この工程の前の段階までの基板を数枚用意し、Alの照射時間を、30秒、1分で終了して取り出して表面をSEMで観察したところ、AINの結晶305が、窒化シリコン表面の金属塊304を中心にして、AIN結晶の方位を示す六角形状で横方向に成長している様子が観察された(図3(e)参照)。

【0036】この基板に、続けて、GaクヌードセンサーからGaとRFプラズマによる活性窒素を同時に供給し、0.5μmのGaNを成長したところ、GaNの成長初期からRHEEDパターンはストリークパターンを示した。また、作製された膜の欠陥密度を測ったところ、 1×10^{-5} [1/cm²]以下と、非常に低欠陥密度であった。このことは第1の実施例と同じである。

【0037】(第3の実施例) 本発明の第3の実施例を図2を用いて説明する。まず、2インチのSi(111)基板201を、アセトン、アルコールで洗浄後、5%HF溶液で10秒、40%NH₄F溶液で4分処理して、表面の酸化膜を除去、及びH終端し、NH₃供給ラインを有するMBE装置にセットした。

【0038】この後、準備室で400℃、2時間の熱処理を行い、その後成長室に搬入した。成長前に、Si基板201を 1×10^{-8} [Torr]以下の圧力で800℃で30分間熱処理した。その後、RHEEDによって、表面状態を観察したところ、Si(1x1)のパターンと窒化シリコンのパターンが確認された。

【0039】NH₃を導入するMBE装置では、装置内部にNH₃が残留しているため、Si基板を熱処理するだけで、Si基板表面が窒化されて、窒化シリコン膜が形成される。同様の工程で作製した窒化シリコン膜202の膜厚は50nm以下であった(図2(b))。

【0040】その後、窒化シリコン膜202が堆積した基板201をFIB装置にセットし、Alを100nm角の広さで、2μmの間隔で、窒化シリコン202を完全には貫通しないようにして堆積した。

【0041】その後、基板201を再びMBE装置にセットし、準備室で400℃、3時間の熱処理の後、成長室に搬入した。

【0042】その後、 1×10^{-8} [Torr]以下の圧力で、800℃、30分間熱処理した。この処理でFIBにより堆積したAlが窒化シリコン膜202と反応しAlN₂O₃となり、さらに微小AIN203となった(図2(c))。

【0043】その後、 5×10^{-7} [Torr]のフラックス量に設定したAlクヌードセンサーのシャッターを開き、10分間Al204を照射した。この工程中にRHEEDパターンは窒化シ

リコンのパターンから、AIN205、206のパターンに変化して行くことが確認された。この工程が終了した基板をSEMで断面および表面を観察したところ、基板は全てAIN206で覆われていることが分かった(図2(d)～(g))。

【0044】さらに、この工程の前の段階までの基板を数枚用意し、Alの照射時間を30秒、1分で終了して取り出して表面をSEMで観察したところ、AINの結晶が、あらかじめFIBにより作製したAINを中心に、AIN結晶の方位を示す六角形状で横方向に成長している様子が観察された(図2(e)参照)。

【0045】この基板に、続けて、NH₃をフラックス量 1×10^{-5} [Torr]で、Gaをフラックス量 5×10^{-6} [Torr]で、同時に供給し、0.5μmのGaNを成長したところ、GaNの成長初期からRHEEDパターンはストリークパターンを示した。また、作製された膜の欠陥密度を測ったところ 1×10^{-5} [1/cm²]以下と、非常に低欠陥密度であった。

【0046】第3の実施例では、Al、Ga原料はクヌードセンサーから供給したが、これらを、トリメチルアルミニウム、トリメチルガリウムなどの、有機金属原料を用いて行うこともできる。

【0047】また、第3の実施例では核発生確率の高い領域を形成するのに、FIBを用いて行ったが、金属を堆積して凝集させる方法や、予め基板にパターンニングして核発生確率の高い領域を形成する方法も採用できる。

【0048】(第4の実施例) 本発明の第4の実施例を図2を用いて説明する。まず、2インチのサファイア(0001)基板201を、H₃SO₄:HPO₄=3:1の溶液で洗浄後、プラズマCVD装置で、SiH₄、NH₃ガスを原料として窒化シリコン膜202を50nm堆積した。

【0049】その後、窒化シリコン膜202が堆積した基板201をFIB装置にセットし、Alを100nm角の広さで、2μmの間隔で、窒化シリコン202を完全には貫通しないようにして堆積した。その後、基板201をMBE装置にセットし、準備室で400℃、3時間の熱処理の後、成長室に搬入した。

【0050】その後、 1×10^{-9} [Torr]以下の圧力で、800℃、30分間熱処理した。この処理でFIBにより堆積したAlが窒化シリコン膜と反応しAlN₂O₃となり、さらに微小AIN203となった(図2(c))。

【0051】その後、 5×10^{-7} [Torr]のフラックス量に設定したAlクヌードセンサーのシャッターを開き、10分間Al204を照射した。この工程中にRHEEDパターンは窒化シリコンのパターンから、AIN205、206のパターンに変化して行くことが確認された。この工程が終了した基板201をSEMで断面および表面を観察したところ、基板201は全てAIN206で覆われていることが分かった(図2(d)～(g))。

【0052】さらに、この工程の前の段階までの基板を数枚用意し、Alの照射時間を、30秒、1分で終了して取り出して表面をSEMで観察したところ、AIN205の結晶

が、あらかじめFIBにより作製したAIN203を中心に、AIN結晶の方位を示す六角形状で横方向に成長している様子が観察された(図2(e)参照)。

【0053】この基板に、続けて、GaクヌードセンサーからGaとRFプラズマによる活性窒素を同時に供給し、0.5 μ mのGaNを成長したところ、GaNの成長初期からRHEEDパターンはストリークパターンを示した。また、作製された膜の欠陥密度を測ったところ、 1×10^{-5} [1/cm²]以下と、非常に低欠陥密度であった。

【0054】第4の実施例では、核発生確率の高い領域を形成するのに、FIBを用いて行ったが、金属を堆積して凝集させる方法や、予め基板にパターニングして核発生確率の高い領域を形成する方法も採用できる。

【0055】(第5の実施例)本発明の第5の実施例を図2を用いて説明する。まず、2インチのガラス基板201を、アセトン、アルコールで洗浄後、プラズマCVD装置にセットした(図2(a))。

【0056】その後、SiH₄とNH₃を原料として、窒化シリコン膜202を100nm堆積した。基板温度は400℃、RFパワーは180Wとした。

【0057】その後、窒化シリコン膜202が堆積した基板201をFIB装置にセットし、Alを100nm角の広さ、2 μ mの間隔で、窒化シリコン202を完全には貫通しないようにして堆積した。

【0058】その後、基板201をMBE装置にセットし、準備室で400℃、30分の熱処理の後、成長室に搬入した。その後、 1×10^{-9} [Torr]以下の圧力で、700℃、30分間熱処理した。この処理でFIBにより堆積したAlが窒化シリコン膜202と反応しAlN₂O₃となり、さらに微小AIN203となった(図2(c))。

【0059】その後、 5×10^{-7} [Torr]のフラックス量に設定したAlクヌードセンサーのシャッターを開き、10分間Al204を照射した。この工程中にRHEEDパターンは窒化シリコンのパターンから、AIN205、206のパターンに変化して行くことが確認された。この工程が終了した基板201をSEMで断面および表面を観察したところ、基板201は全てAIN206に覆われていることが分かった(図2(d)～(g))。

【0060】さらに、この工程の前の段階までの基板を数枚用意し、Alの照射時間を、30秒、1分で終了して取り出して表面をSEMで観察したところ、AIN205の結晶が、あらかじめFIBにより作製したAIN203を中心に、AIN結晶の方位を示す六角形状で横方向に成長している様子が観察された(図2(e)参照)。

【0061】この基板を用いて化合物半導体装置を作製した。これを図4に沿って説明する。この基板401に、続けて、GaクヌードセンサーからGaとRFプラズマによる活性窒素を同時に供給し、0.5 μ mのGaN403を成長したところ、AIN粒塊402に従った形でGaN粒塊403が成長し、大粒径多結晶薄膜が形成できた。

【0062】その後、Siをドーパントとしてn型GaN404を0.5 μ m、In_xGa_(1-x)N[0<x<1]405を50nm、Mgをドーパントとしてp型GaN406を0.5 μ m、順次堆積した。

【0063】その後、基板を取り出し、FIBでAlを堆積した箇所、すなわち、窒化物半導体402の粒塊の中心に当る場所に10 μ m径の陽極電極407を形成した。さらに、陽極電極407間の中心において幅5 μ mでn型GaN層404までエッチングし、2 μ m幅の陰極電極408を形成した。以上の工程で、ガラス基板401側から光を取り出すことのできる20 μ mピッチのLED2次元アレイを作成できた(図4(a)、(b))。

【0064】第5の実施例では、核発生確率の高い領域を作製するのに、FIBを用いて行ったが、予めガラス基板に微細パターンを施した上で窒化シリコン膜を作製したり、金属の凝集を利用して微細な金属塊を配置したりすることでも、核発生確率を高めた領域を窒化シリコン上に配置することもできる。

【0065】また、第5の実施例では、ガラス基板を用いたが、例えばSi基板を熱酸化して表面を酸化シリコンで覆った基板を用いても、同様の工程で多結晶薄膜、および発光素子を実現できる。さらに、本実施例の工程での熱処理、つまり700℃程度の温度に耐えられる基板であれば、この例以外のものでも使用できる。

【0066】

【発明の効果】以上のように、本発明によれば、基板との格子不整が大きい化合物半導体薄膜を低欠陥で成長することができた。とくに、Si基板に窒化シリコンを堆積し、窒化シリコン上にAIN結晶の核発生確率の高い領域を配置し、さらにAl原料を供給することで、安価なSi基板上に低欠陥密度のAIN膜を形成することができた。さらに、このAIN層上に低欠陥密度の良質な窒化物半導体を形成することができた。また、安価な基板上に、粒径が大きく、かつ粒塊が制御されて配置された化合物半導体多結晶薄膜を形成できた。さらに、ガラス基板上にAIN多結晶薄膜を形成し、それをバッファ層として窒化物半導体による発光素子を形成できた。

【図面の簡単な説明】

【図1】図1は本発明による化合物半導体装置の構成図である。

【図2】図2は本発明に係わる化合物半導体薄膜の形成法の実施例を示す図であり、図2(a)は基板である単結晶シリコン、単結晶サファイア、ガラス、もしくは酸化シリコン膜が表面を覆ったシリコン等を示し、図2(b)は基板に非晶質窒化シリコンを堆積する工程を示し、図2(c)は(b)で堆積した非晶質窒化シリコンに、化合物半導体結晶の核発生確率が高い領域を配置する工程を示し、図2(d)は(c)の工程で作成した基板にAl原料を供給してAIN結晶の成長を開始することを示し、図2(e)は(c)の工程で作成したAIN部分から核発生が起こり、基板に対して平行な方向にAIN単結晶が成長することを示し、図2(f)

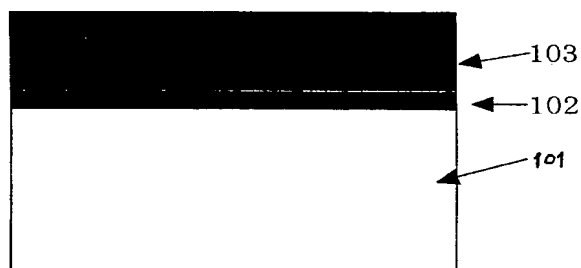
は(e)の断面図であり、図2(g)はAlNの成長が進み基板全面を覆ったことを示す。

【図3】図3は本発明に係わる化合物半導体薄膜の形成法の実施例を示す図であり、図3(a)は基板である単結晶シリコン、単結晶サファイア、ガラス、もしくは酸化シリコン膜が表面を覆ったシリコン等を示し、図3(b)は基板に非晶質窒化シリコンを堆積する工程を示し、図3(c)は(b)で堆積した非晶質窒化シリコンに金属Auを数原子層堆積する工程を示し、図3(d)は(c)の工程で作成した基板を熱処理して金属を凝集させることで、核発生確率の高い領域を配置する工程を示し、図3(e)は(c)の工程で作成した金属塊部分から核発生が起こり、基板に対して平行な方向にAlN単結晶が成長することを示し、図3(f)は(e)の断面図であり、図3(g)はAlNの成長が進み基板全面を覆ったことを示す。

【図4】図4(a)は本発明の第5の実施例における化合物半導体装置の断面構成図、図4(b)は本発明の第5の実施例における化合物半導体装置の上面図である。

【符号の説明】

【図1】



(8)

特開2003-171200

14

101、201、301、401 基板（単結晶シリコン、単結晶サファイア、ガラス、もしくは酸化シリコン膜に表面を覆われたシリコン等）

102、402 100nm以下の厚さのAlN層

103 窒化物半導体からなる半導体デバイス層

202、302 窒化シリコン非晶質膜

203 微小AlN

204 Al

205、305 AlN単結晶塊

10 206、306 AlN単結晶層、もしくはAlN多結晶層

303 Au堆積層

304 凝縮したAu塊

403 GaN層

404 n型GaN層

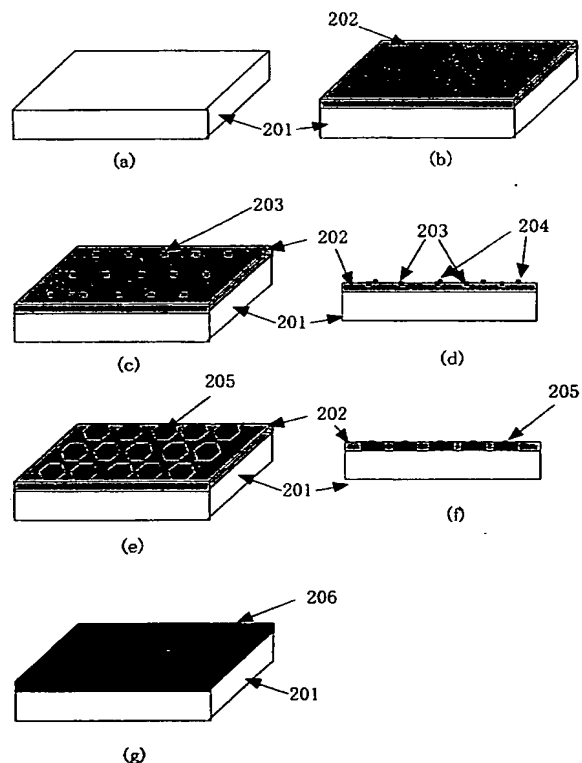
405 InGaN層

406 p型GaN層

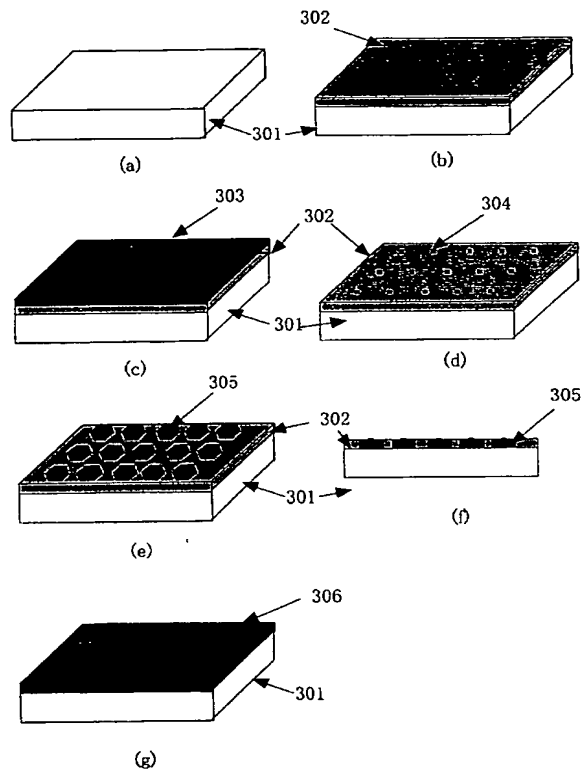
407 陽極電極

408 陰極電極

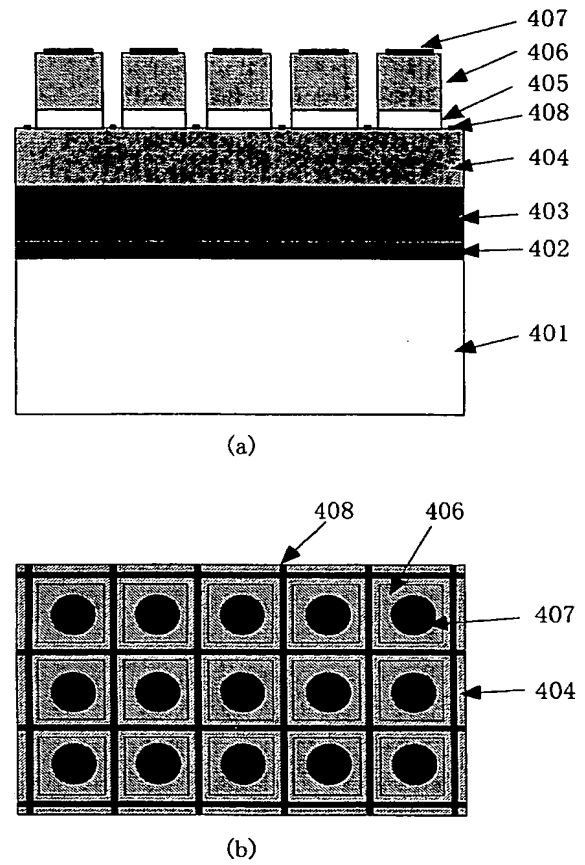
【図2】



【図 3】



【図 4】



フロントページの続き

F ターム(参考) 4G077 AA03 BE13 DA05 EA05 ED06
 EE02 EE05 EE07 EF03 HA02
 SC01 SC08
 5F041 AA39 AA40 CA34 CA40 CA64
 5F045 AA08 AA16 AB33 AC01 AC12
 AC15 AF03 AF09 HA04 HA06
 HA24